

Best Available Copy

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2002262182 A**

(43) Date of publication of application: **13.09.02**

(51) Int. Cl.

H04N 5/335
G01J 1/44
H01L 27/146

(21) Application number: **2001239920**

(22) Date of filing: **03.07.01**

(30) Priority: **28.12.00 JP 2000404932**

(71) Applicant: **HONDA MOTOR CO LTD**

(72) Inventor:
SHINOZUKA NORIYUKI
KURITA JIRO
FURUKAWA MAKOTO

(54) OUTPUT CORRECTION DEVICE FOR IMAGE SENSOR

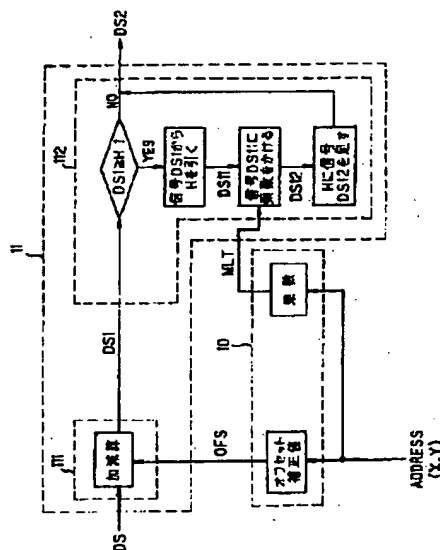
(57) Abstract:

PROBLEM TO BE SOLVED: To provide an output correction device for an image sensor that can optimally correct an output in response to an output state of a sensor signal of each pixel in the image sensor.

SOLUTION: In the image sensor using an optical sensor circuit outputting a sensor signal with a logarithmic response characteristic with many incident luminous quantities or a non-logarithmic response characteristic with less incident luminous quantity in the unit of pixels, the sensor signal of each pixel outputted from the image sensor is subjected to offset correction, when the offset sensor signal resides in the non-logarithmic response region, the sensor signal is outputted as it is, and when the offset sensor signal resides in the logarithmic response region, the sensor signal is outputted after a gain is corrected through the provision of a means, after the offset in the variation of the temperature characteristic is corrected, the offset of the variation in the output characteristic of each pixel and the gain are corrected, the gain in the

variation of the temperature characteristic is corrected.

COPYRIGHT: (C)2002,JPO



2613P 107JP

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-262182

(P2002-262182A)

(43) 公開日 平成14年9月13日 (2002.9.13)

(51) Int.Cl.	識別記号	F I	テ-マ-ト* (参考)
H 0 4 N 5/335		H 0 4 N 5/335	P 2 G 0 6 5
			E 4 M 1 1 8
G 0 1 J 1/44		G 0 1 J 1/44	D 5 C 0 2 4
			E
			P

審査請求 未請求 請求項の数 5 書面 (全 11 頁) 最終頁に続く

(21) 出願番号 特願2001-239920 (P2001-239920)

(22) 出願日 平成13年7月3日 (2001.7.3)

(31) 優先権主張番号 特願2000-404932 (P2000-404932)

(32) 優先日 平成12年12月28日 (2000.12.28)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005326

本田技研工業株式会社

東京都港区南青山二丁目1番1号

(72) 発明者 篠塚 典之

埼玉県狭山市新狭山1丁目10番地1 ホン
ダエンジニアリング株式会社内

(72) 発明者 栗田 次郎

埼玉県狭山市新狭山1丁目10番地1 ホン
ダエンジニアリング株式会社内

(74) 代理人 100077746

弁理士 鳥井 清

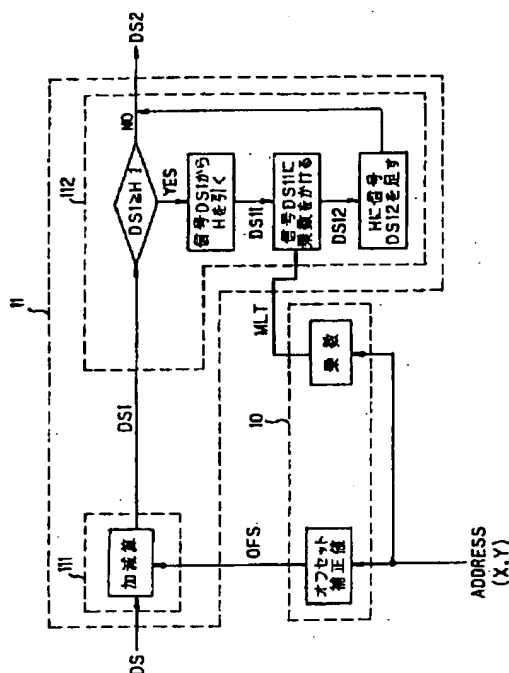
最終頁に続く

(54) 【発明の名称】 イメージセンサの出力補正装置

(57) 【要約】

【目的】 イメージセンサにおける各画素のセンサ信号の出力状態に応じた最適な出力補正を行わせるようにする。

【構成】 入射光量が多いときには対数応答特性をもって、入射光量が少ないときには非対数応答特性をもってセンサ信号を出力する光センサ回路を画素単位に用いたイメージセンサにあって、そのイメージセンサから出力する各画素のセンサ信号をオフセット補正したうえで、そのオフセットされたセンサ信号が非対数応答領域にあるときにはそのままセンサ信号を出力し、そのオフセットされたセンサ信号が対数応答領域にあるときにはゲイン補正して出力する手段を設けて、温度特性のバラツキのオフセット補正を行ったのち、各画素の出力特性のバラツキのオフセット補正およびゲイン補正を行わせるようにする。



【特許請求の範囲】

【請求項1】 入射光量に応じて光電変換素子に流れるセンサ電流を弱反転状態で対数特性をもって電圧信号に変換するトランジスタと、そのトランジスタのゲート電圧を所定時間だけ定常よりも高い電圧に切り換えることによってドレイン・ソース間のインピーダンスを低下させて、前記光電変換素子の寄生容量に蓄積された電荷を放電させる初期設定手段とをそなえ、入射光量が多いときには対数特性をもって、入射光量が少ないときには非対数特性をもってセンサ信号を出力する光センサ回路を画素単位に用いたイメージセンサにあって、そのイメージセンサから出力する各画素のセンサ信号をオフセット補正したうえで、そのオフセットされたセンサ信号が非対数応答領域にあるときにはそのままセンサ信号を出力し、そのオフセットされたセンサ信号が対数応答領域にあるときにはゲイン補正して出力する手段を設けたことを特徴とするイメージセンサの出力補正装置。

【請求項2】 各画素の出力特性のバラツキによるオフセット補正およびゲイン補正を行わせるようにしたことを特徴とする請求項1の記載によるイメージセンサの出力補正装置。

【請求項3】 各画素の温度特性のバラツキによるオフセット補正およびゲイン補正を行わせるようにしたことを特徴とする請求項1の記載によるイメージセンサの出力補正装置。

【請求項4】 各画素の温度特性のバラツキによるオフセット補正を行ったのち、各画素の出力特性のバラツキによるオフセット補正およびゲイン補正を行ったうえで、各画素の温度特性のバラツキによるゲイン補正を行わせるようにしたことを特徴とする請求項1の記載によるイメージセンサの出力補正装置。

【請求項5】 各画素の出力特性のバラツキによるオフセット補正を行ったのち、各画素の温度特性のバラツキによるオフセット補正およびゲイン補正を行ったうえで、各画素の出力特性のバラツキによるゲイン補正を行わせるようにしたことを特徴とする請求項1の記載によるイメージセンサの出力補正装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、CMOS型イメージセンサの各画素における出力特性のバラツキを補正するイメージセンサの出力補正装置に関する。

【0002】

【従来の技術】 従来、CMOS型のイメージセンサにあっては、その1画素分の光センサ回路が、図1に示すように、入射光 I_s の光量に応じたセンサ電流を生ずる光電変換素子としてのフォトダイオードPDと、そのフォトダイオードPDに流れるセンサ電流をオーバフロードレインによる弱反転状態で対数特性をもって電圧信号 V_{pd} に変換するトランジスタQ1と、その変換された電

圧信号 V_{pd} を増幅するトランジスタQ2と、読出し信号 V_s のバースタイミングでもってセンサ信号 V_o を出力するトランジスタQ3とによって構成され、ダイナミックレンジを拡大して光信号の検出を高感度で行わせることができるようにしている。そして、光検出に先がけてトランジスタQ1のゲート電圧 V_G を所定時間だけ定常値よりも高い値に切り換えることによってドレイン・ソース間のインピーダンスを低下させて、フォトダイオードPDの寄生容量Cに蓄積された電荷を放電させて初期化させることにより、センサ電流に急激な変化が生じても即座にそのときの入射光 I_s の光量に応じた電圧信号 V_{pd} が得られるようにして、入射光量が少ない場合でも残像が生ずることがないようにしている（特開平10-90058号公報参照）。

【0003】 このような光センサ回路にあっては、図3に示すように、入射光量に応じてフォトダイオードPDに流れるセンサ電流が多いときには対数出力特性を示すが、センサ電流が少ないときにはフォトダイオードPDの寄生容量Cの充電に遅延を生じてほぼ線形の非対数出力特性を示すようになっている。図中、WAは非対数応答領域を示し、WBは対数応答領域を示している。

【0004】

【発明が解決しようとする課題】 解決しようとする問題点は、入射光量に応じて光電変換素子に流れるセンサ電流を弱反転状態で対数特性をもって電圧信号に変換するトランジスタと、そのトランジスタのゲート電圧を所定時間だけ定常よりも高い値に切り換えることによってドレイン・ソース間のインピーダンスを低下させて、前記光電変換素子の寄生容量に蓄積された電荷を放電させる初期設定手段とをそなえ、センサ電流が多いときには対数特性をもって、入射光量が少ないときには非対数特性をもってセンサ信号を出力する光センサ回路を画素単位に用いたイメージセンサにあっては、光センサ回路の構成上からくる出力特性のバラツキおよびその光センサ回路の温度特性のバラツキに起因して、各画素のセンサ信号の出力特性が不揃いになっていることである。

【0005】

【課題を解決するための手段】 本発明は、入射光量に応じて光電変換素子に流れるセンサ電流を弱反転状態にあるトランジスタによって対数特性をもって電圧信号に変換して、その電圧信号に応じたセンサ信号を出力し、そのトランジスタのゲート電圧を所定時間だけ定常よりも高い値に切り換えて初期化するようにした光センサ回路を画素単位に用いたイメージセンサにあって、各画素におけるセンサ信号の出力特性の不揃いを是正するように、出力レベルのバラツキによるオフセット補正および感度のバラツキによるゲイン補正を行わせるに際して、そのときのセンサ信号の出力状態に応じた最適な補正を行わせるべく、各画素のセンサ信号をオフセット補正したうえで、そのオフセットされたセンサ信号が非対数応

答領域にあるときにはそのままセンサ信号を出力し、そのオフセットされたセンサ信号が対数応答領域にあるときにはゲイン補正して出力するような手段を講ずるようにしている。

【0006】その際、特に本発明では、各画素の出力特性のバラツキおよび温度特性のバラツキを適正に補正できるようにするべく、各画素の温度特性のバラツキによるオフセット補正を行ったのち、各画素の出力特性のバラツキによるオフセット補正およびゲイン補正を行っ

たうえで、各画素の温度特性のバラツキによるゲイン補正を行わせるようにしている。

【0007】または、その際、特に本発明では、各画素の出力特性のバラツキおよび温度特性のバラツキを適正に補正できるようにするべく、各画素の出力特性のバラツキによるオフセット補正を行ったのち、各画素の温度特性のバラツキによるオフセット補正およびゲイン補正を行っ

【0008】

【実施例】本発明は、基本的に、図1に示す光センサ回路をイメージセンサの画素単位として用いている。

【0009】その光センサ回路は、光電変換素子としてのフォトダイオードPDと、入射光Lsの光量に応じてフォトダイオードPDに流れるセンサ電流をオーバフローレインによる弱反転状態で対数特性をもって電圧信号Vpdに変換するトランジスタQ1と、その変換された電圧信号Vpdを増幅するトランジスタQ2と、読出し信号Vsのバースタイミングをもってセンサ信号Voを出力するトランジスタQ3とからなっている。

【0010】そして、光検出に先がけて、トランジスタQ1のゲート電圧VGを所定時間だけ光検出動作時のローレベル電圧（定常値）からハイレベル電圧に切り換えることにより、トランジスタQ1のドレイン・ソース間のインピーダンスを低下させてフォトダイオードPDの寄生容量Cの放電を行わせる初期設定のための電圧切換回路51が設けられている。その電圧切換回路51によるゲート電圧VGの切り換えは、図示しないイメージセンサのECUの制御下において行われるようになっている。

【0011】このようなゲート電圧VGの切り換えによる初期設定手段をとることによって、センサ電流に急激な変化が生じても即座にそのときのセンサ電流に応じたセンサ信号Voを読み出すことができるようになり、センサ電流が少ない場合でも応答遅れからくる残像の発生を有効に抑制できるようになる。

【0012】図2は、そのときの光センサ回路における各部信号のタイムチャートを示している。ここで、t1は初期化のタイミングを、t2はセンサ信号読出しのタイミングを示している。トランジスタQ1のゲート電圧VGをハイレベルHの電圧に切り換えている間の時間t

mとしては、例えば1画素分の読出し速度が100ns程度の場合に5μsec程度に設定される。図中、TはフォトダイオードPDの寄生容量Cの蓄積期間を示しており、その蓄積期間TはNTSC信号の場合1/30sec（または1/60sec）程度となる。

【0013】その光センサ回路は、図3の特性に示すように、センサ電流がトランジスタQ1の負荷特性によって決まるしきい値以上に大きいときには、ダイナミックレンジを拡大して感度良く光検出を行うことができるように、トランジスタQ1の対数特性に即した対数出力特性（対数応答領域WB）をもって動作するように設定されている。そして、センサ電流がしきい値THよりも小さくなったときには、残像を生ずることがなく、応答性良く光検出を行うことができるように、フォトダイオードPDの寄生容量Cの充電電流に比例した電圧信号を生ずるほぼ線形の非対数出力特性（非対数応答領域WA）をもって動作するように設定されている。

【0014】図4は、このような光センサ回路を画素単位として、画素をマトリクス状に複数配設して、各センサ信号Voの時系列的な読出し走査を行わせるようにしたイメージセンサの構成例を示している。ここでは、特に、各センサ信号Voの読出し走査に応じた適切なタイミングをもって各画素の初期化を行わせることができるように構築している。

【0015】そのイメージセンサは、その基本的な構成が、例えば、D11～D44からなる4×4の画素をマトリクス状に配設して、各1ライン分の画素列を画素列選択回路1から順次出力される選択信号LS1～LS4によって選択し、その選択された画素列における各画素を、画素選択回路2から順次出力される選択信号DS1～DS4によってスイッチ群3における各対応するスイッチSW1～SW4が逐次オン状態にされることによって各センサ信号Voが時系列的に読み出されるようになっている。図中、4は各画素における前記トランジスタQ1のドレイン電圧VD用電源であり、6はゲート電圧VG用電源である。

【0016】そして、各1ライン分の画素列の選択に際して、その選択された画素列における各画素の前記トランジスタQ1のゲート電圧VGを所定のタイミングをもって光検出時のローレベルLおよび初期化時のハイレベルHの各電圧に切り換える電圧切換回路5を設けるようにしている。

【0017】このように構成されたイメージセンサの動作について、図5に示す各部信号のタイムチャートとともに、以下説明をする。

【0018】まず、画素列選択信号LS1がハイレベルHになると、それに対応するD11、D12、D13、D14からなる第1の画素列が選択される。そして、LS1がハイレベルHになっている一定期間T1のあいだ画素選択信号DS1～DS4が順次ハイレベルHになっ

て、各画素D11、D12、D13、D14のセンサ信号V_oが順次読み出される。

【0019】次いで、画素列選択信号LS1がローレベルLになった時点で次のLS2がハイレベルHになると、それに対応するD21、D22、D23、D24からなる第2の画素列が選択される。そして、LS2がハイレベルHになっている一定期間T1のあいだ画素選択信号DS1～DS4が順次ハイレベルHになって、各画素D21、D22、D23、D24のセンサ信号V_oが順次読み出される。

【0020】以下同様に、画素列選択信号LS3およびLS4が連続的にハイレベルHになって各対応する第3および第4の画素列が順次選択され、LS3およびLS4がそれぞれハイレベルHになっている一定期間T1のあいだ画素選択信号DS1～DS4が順次ハイレベルHになって、各画素D31、D32、D33、D34およびD41、D42、D43、D44のセンサ信号V_oが順次読み出される。

【0021】また、画素列選択信号LS1がT1期間後にローレベルLに立ち下がった時点で、そのとき選択されている第1の画素列における各画素D11、D12、D13、D14のゲート電圧VG1をそれまでのローレベルLからハイレベルHに所定時間t_mのあいだ切り換えることによって各画素の初期化が行われ、1サイクル期間T2の経過後に行われる次サイクルにおけるセンサ信号V_oの読出しにそなえる。

【0022】次いで、画素列選択信号LS2がT1期間後にローレベルLに立ち下がった時点で、そのとき選択されている第2の画素列における各画素D21、D22、D23、D24のゲート電圧VG2をそれまでのローレベルLからハイレベルHに所定時間t_mのあいだ切り換えることによって各画素の初期化が行われ、1サイクル期間T2の経過後に行われる次サイクルにおけるセンサ信号V_oの読出しにそなえる。

【0023】以下同様に、画素列選択信号LS3およびLS4がそれぞれT1期間後にローレベルLに立ち下がった時点で、そのとき選択されている第3および第4の画素列にそれぞれ対応するゲート電圧VG3をハイレベルHに切り換えて各画素の初期化が行われ、1サイクル期間T2の経過後に行われる次サイクルにおけるセンサ信号V_oの読出しにそなえる。

【0024】なお、ここでは画素列選択信号LSX (X=1～4) がT1期間後にローレベルLに立ち下がった時点でゲート電圧VGXをハイレベルHに切り換えて初期化を行わせるようにしているが、その初期化のタイミングは画素列選択信号LSXがローレベルL状態にある画素列選択の休止期間T3中であればよい。

【0025】以上のような各部信号の発生のタイミングは、図示しないECUの制御下で画素列選択回路1、画素選択回路2および電圧切換回路5の駆動を行わせるこ

とによって決定されるようになっている。

【0026】このように、各センサ信号V_oの読出し走査に応じた適切なタイミングをもって各画素の初期化を行わせることによって、イメージセンサ全体としての蓄積時間の過不足を低減できるようになる。

【0027】したがって、残像がなく、高感度でダイナミックレンジの広い対数出力特性をもったイメージセンサを実現できるようになる。

【0028】以上のように構成されたイメージセンサにあって、本発明では、光センサ回路の構成上からくる出力特性のバラツキおよびその光センサ回路の温度特性のバラツキに起因する各画素におけるセンサ信号V_oの出力特性の不揃いを是正するべく、出力レベルのバラツキによるオフセット補正および感度のバラツキによるゲイン補正を行わせるに際して、そのときのセンサ信号V_oの出力状態に応じた最適な補正を行わせるべく、各画素のセンサ信号V_oをオフセット補正したうえで、そのオフセットされたセンサ信号V_oが非対数応答領域にあるときにはそのままセンサ信号V_oを出力し、そのオフセットされたセンサ信号V_oが対数応答領域にあるときにはゲイン補正して出力するような手段を講ずるようにしている。

【0029】図6は、各画素における光センサ回路の構成上からくる出力特性のバラツキによるオフセット補正およびゲイン補正を行わせるための基本的な構成を示している。

【0030】それは、図4に示すイメージセンサ7および各画素のセンサ信号V_oを時系列的に読み出すための駆動制御を行うECU8と、イメージセンサ7から時系列的に出力するセンサ信号V_oをデジタル信号に変換するAD変換器9と、予め各画素の特性に応じたオフセット補正值OFSおよびゲイン補正のための乗数MLTが設定されており、FCU8から与えられるセンサ信号読出し時における画素のアドレス(X、Y)の信号ADDRESSに応じて所定のオフセット補正值OFSおよび乗数MLTを読み出すメモリ10と、そのメモリ10から読み出されたオフセット補正值OFSおよび乗数MLTにもとづいてデジタル信号に変換されたセンサ信号DSのオフセット補正およびゲイン補正の各演算処理を行う出力補正回路11とによって構成されている。

【0031】図8は、3つの画素の構成上からくる各センサ信号A、B、Cの出力特性のバラツキ状態の一例を示している。ここで、画素出力のしきい値Hに応じたセンサ電流の値I_mは各画素のセンサ信号A、B、Cが非対数応答領域WAから対数応答領域WBに切り換わる点を示している。また、I_oは暗時のセンサ電流を示している。

【0032】本発明では、基本的に、このような非対数応答領域WAにおける各センサ信号V_oの出力特性の形状がほぼ同一で、対数応答領域WBにおける各センサ信

号V_oの出力特性の傾きがそれぞれ異なる場合におけるイメージセンサの出力補正を行わせるものである。各画素のパラメータとして、それぞれの各センサ信号V_oが非対数応答領域WAから対数応答領域WBに切り換わる点の情報と、暗時の画素出力とを用いている。

【0033】図7は、出力補正回路11における処理のフローを示している。

【0034】メモリ10には、センサ電流がI_mの値のときに画素出力がHとなるようなオフセット補正值OFSが設定されている。そして、オフセット補正部111において、そのオフセット補正值OFSを用いた加減算処理をなすことによって各画素のデジタル信号に変換されたセンサ信号DSのオフセット補正を行わせると、図9に示すように、各画素のセンサ信号A、B、Cにおける非対数応答領域WAの特性が一致するようになる。

【0035】次に、そのオフセット補正されたセンサ信号DS1にもとづき、ゲイン補正部112において、しきい値H以上の対数応答領域WBに対してゲイン補正のための乗算処理を行う。

【0036】具体的には、オフセット補正されたセンサ信号DS1がしきい値H以上であるか否かを判断して、しきい値H以上であれば、すなわちセンサ信号DS1が対数応答領域WBにあれば、メモリ10から読み出されたゲイン補正のための所定の乗数MLTを用いて、出力 $H + (\text{センサ信号DS1} - H) \times \text{乗数}$ なる演算を行って、その演算結果を出力補正されたデジタル値によるセンサ信号DS2として出力する。

【0037】このような各画素のセンサ信号A、B、Cのゲイン補正が行われた結果、図10に示すように、対数応答領域WBの特性が一致するようになる。

【0038】また、その際、オフセット補正されたセンサ信号DS1がしきい値Hよりも小さければ、すなわちセンサ信号DS1が非対数応答領域WAにあれば、そのままオフセット補正されたセンサ信号DS1を出力補正されたデジタル値によるセンサ信号DS2として出力する。

【0039】図1に示す光センサ回路では、温度によってその出力特性が図11に示すように変化するものになっている。図中、aで示す特性は温度が基準値になっているときの出力特性であり、温度がその基準値よりも低いときには出力特性が図中bで示すように上方に変動し、温度がその基準値よりも高いときには出力特性が図中cで示すように下方に変動することになる。

【0040】また、図12は、その光センサ回路から出力されるセンサ信号V_oの温度に対するセンサ信号V_oの出力変化状態を示している。

【0041】図13は、各画素の温度特性のバラツキによるオフセット補正およびゲイン補正を行わせるための基本的な構成を示している。

【0042】それは、イメージセンサ7およびその周囲

気温度を検出する内蔵の温度センサ12と、イメージセンサ7から各画素のセンサ信号V_oを時系列的に読み出すとともに、温度センサ12による温度検出信号TSを所定のタイミングで読み出すための制御を行うECU8と、イメージセンサ7から時系列的に出力する各画素のセンサ信号V_oをデジタル信号に変換するAD変換器9と、温度センサ12からの温度検出信号TSをデジタル信号に変換するAD変換器13と、予め各画素の温度特性に応じたオフセット補正值T-OFSおよびゲイン補正のための乗数T-MLTが設定されており、デジタル変換された温度検出信号DTSに応じて所定のオフセット補正值T-OFSおよび乗数T-MLTを読み出すメモリ14と、そのメモリ14から読み出されたオフセット補正值T-OFSおよび乗数T-MLTにもとづいてデジタル信号に変換されたセンサ信号DSのオフセット補正およびゲイン補正の各演算処理を行う出力補正回路15とによって構成されている。

【0043】図15は、温度に応じた各センサ信号TA、TB、TCの出力特性のバラツキ状態の一例を示している。ここで、画素出力のしきい値THに応じたセンサ電流の値I_{tm}は温度に応じた各センサ信号TA、TB、TCが非対数応答領域WAから対数応答領域WBに切り換わる点を示している。また、I_oは暗時のセンサ電流を示している。

【0044】本発明では、基本的に、このような非対数応答領域WAにおける温度に応じた各センサ信号TA、TB、TCの出力特性の形状がほぼ同一で、対数応答領域WBにおける温度に応じた各センサ信号TA、TB、TCの出力特性の傾きがそれぞれ異なる場合におけるイメージセンサ7の出力補正を行わせるようにするものである。各画素のパラメータとして、温度に応じた各センサ信号TA、TB、TCが非対数応答領域WAから対数応答領域WBに切り換わる点の情報と、暗時の画素出力とを用いている。

【0045】図14は、出力補正回路15における処理のフローを示している。

【0046】メモリ14には、センサ電流がI_{tm}の値のときに画素出力がTHとなるようなオフセット補正值T-OFSが設定されている。そして、オフセット補正部151において、そのオフセット補正值T-OFSを用いた加減算処理をなすことによって各画素の各デジタル信号に変換されたセンサ信号DSのオフセット補正を行わせると、図16に示すように、温度に応じた各センサ信号TA、TB、TCの非対数応答領域WAの特性が一致するようになる。

【0047】次に、そのオフセット補正されたセンサ信号DS1'にもとづき、ゲイン補正部152において、しきい値TH以上の対数応答領域WBに対してゲイン補正のための乗算処理を行う。

【0048】具体的には、オフセット補正されたセンサ

信号DS1'がしきい値TH以上か否かを判断して、しきい値TH以上であれば、メモリ14から読み出されたゲイン補正のための所定の乗数T-MLTを用いて、出力-TH+(センサ信号DS1-TH)×乗数なる演算を行って、その演算結果を出力補正されたデジタル値によるセンサ信号DS2'として出力する。

【0049】このような温度に応じた各センサ信号TA、TB、TCのゲイン補正が行われた結果、図17に示すように、対数応答領域WBの特性が一致するようになる。

【0050】また、その際、オフセット補正されたセンサ信号DS1'がしきい値THよりも小さければ、そのままオフセット補正されたセンサ信号DS1'を出力補正されたデジタル値によるセンサ信号DS2'として出力する。

【0051】本発明によるイメージセンサの補正装置は、イメージセンサ7における各画素の構成上からくる出力特性のバラツキおよび各画素の温度特性のバラツキの両方の影響が抑制されたセンサ信号が得られるように、以上説明した各画素の構成上からくる出力特性のバラツキのオフセット補正およびゲイン補正と、温度特性のバラツキのオフセット補正およびゲイン補正とを行わせるようにしたものである。

【0052】その場合、各画素の構成上からくる出力特性のバラツキと温度特性のバラツキとの両方の影響を受けたセンサ信号の補正を行わせるに際して、例えば、先に図7に示す処理によって各画素の構成上からくる出力特性のバラツキのオフセット補正およびゲイン補正をなしたうえで、続けて図14に示す処理によって温度特性のバラツキのオフセット補正およびゲイン補正を行わせるようにすると、温度による変化分を適正化することなくセンサ信号の補正が行われてしまうことになる。

【0053】すなわち、図18に示すように、各画素の構成上からくる出力特性のバラツキのオフセット補正とゲイン補正をHレベルを境として行わせるに際して、図中点線で示すように、温度によるセンサ信号のオフセットがない場合には問題ないが、図中実線で示すように、温度によるセンサ信号のオフセットがある場合にはHレベルが固定のために補正の切換点からt'点に移行してしまい、正規とは異なった補正が行われてしまう。ここでは、温度変化によって出力特性が下方向にシフトした例を示しており、Hレベルが非対数応答領域WAと対数応答領域WBとの境目から上方にずれてしまっている。

【0054】このような問題を解決するため、特に本発明にあっては、各画素の構成上からくる出力特性のバラツキを補正するに先立って、Hレベルを非対数応答領域WAと対数応答領域WBとの境目に合わせるために、温度特性のバラツキによるオフセット補正を行わせるようにしている。

【0055】同様の問題は、先に温度特性のバラツキの補正を行わせてから、あとで各画素の構成上からくる出力特性のバラツキを補正する場合にも生ずることになる。したがって、この場合には、温度特性のバラツキを補正するに先立って、THレベルを非対数応答領域WAと対数応答領域WBとの境目に合わせるために、各画素の構成上からくる出力特性のバラツキによるオフセット補正を行わせるようにしている。

【0056】図19は、温度特性のバラツキのオフセット補正を行ったのち、各画素の構成上からくる出力特性のバラツキのオフセット補正およびゲイン補正を行なったうえで、温度特性のバラツキのゲイン補正を行わせるようにしたときの処理のフローを示している。図中、16は図7に示す各画素の出力特性のバラツキのオフセット補正およびゲイン補正を行う処理ブロックと同じものであり、17は図14に示す温度特性のバラツキのオフセット補正およびゲイン補正を行う処理ブロックと同じものである。

【0057】この場合には、イメージセンサ7から出力されてデジタル化されたセンサ信号DSが温度特性のバラツキの補正を行う処理ブロック17側のオフセット補正部151に与えられ、そこでセンサ信号DSの温度特性のバラツキのオフセット補正が行われることによって、出力特性のバラツキの補正を行わせる際のHレベルの合せ込みが行われる。そして、そのオフセット補正されたセンサ信号DS11が処理ブロック16に与えられて、そこで出力特性のバラツキのオフセット補正およびゲイン補正が適正に行われる。次いで、処理ブロック16においてオフセット補正およびゲイン補正されたセンサ信号DS12が処理ブロック17側のゲイン補正部152に与えられて、そこで温度特性のバラツキのゲイン補正が行われて、最終的に出力特性のバラツキおよび温度特性のバラツキの補正がなされたセンサ信号DS13が得られることになる。

【0058】図20は、各画素の構成上からくる出力特性のバラツキのオフセット補正を行ったのち、温度特性のバラツキのオフセット補正およびゲイン補正を行なったうえで、出力特性のバラツキのゲイン補正を行わせるようにしたときの処理のフローを示している。図中、16は図7に示す各画素の出力特性のバラツキのオフセット補正およびゲイン補正を行う処理ブロックと同じものであり、17は図14に示す温度特性のバラツキのオフセット補正およびゲイン補正を行う処理ブロックと同じものである。

【0059】この場合は、イメージセンサ7から出力されてデジタル化されたセンサ信号DSが出力特性のバラツキの補正を行う処理ブロック16側のオフセット補正部111に与えられ、そこでセンサ信号DSの出力特性のバラツキのオフセット補正が行われることによって、温度特性のバラツキの補正を行わせる際のTHレベルの

合せ込みが行われる。そして、そのオフセット補正されたセンサ信号D S 2 1が処理ブロック17に与えられて、そこで温度特性のバラツキのオフセット補正およびゲイン補正が適正に行われる。次いで、処理ブロック17においてオフセット補正およびゲイン補正されたセンサ信号D S 2 2が処理ブロック16側のゲイン補正部112に与えられて、そこで出力特性のバラツキのゲイン補正が行われて、最終的に出力特性のバラツキおよび温度特性のバラツキの補正がなされたセンサ信号D S 2 3が得られることになる。

【0060】

【発明の効果】以上、本発明によるイメージセンサの出力補正装置は、センサ電流が多いときには対数応答特性をもって、入射光量が少ないときには非対数応答特性をもってセンサ信号を出力するようにした光センサ回路を画素単位に用いたイメージセンサにあって、そのイメージセンサから出力する各画素のセンサ信号をオフセット補正したうえで、そのオフセットされたセンサ信号が非対数応答領域にあるときにはそのままセンサ信号を出力し、そのオフセットされたセンサ信号が対数応答領域にあるときにはゲイン補正して出力するようにしたもので、センサ信号の出力状態に応じた最適な補正を行わせることができ、各画素の構成上からくる出力特性のバラツキや温度特性のバラツキの影響が抑制された特性の補ったセンサ信号が得られるという利点を有している。

【0061】そして、特に本発明では、イメージセンサから出力されるセンサ信号の補正を行わせるに際して、先に温度特性のバラツキのオフセット補正を行ったのち、各画素の出力特性のバラツキのオフセット補正およびゲイン補正を行ったうえで、温度特性のバラツキのゲイン補正を行わせるようにしているので、各画素の出力特性のバラツキのオフセット補正およびゲイン補正を行わせるに際して、温度特性のバラツキの影響を受けることなく、その補正を適正に行わせることができるようになる。

【0062】また、特に本発明では、イメージセンサから出力されるセンサ信号の補正を行わせるに際して、先に各画素の構成上からくる出力特性のバラツキのオフセット補正を行ったのち、温度特性のバラツキのオフセット補正およびゲイン補正を行ったうえで、出力特性のバラツキのゲイン補正を行わせるようにしているので、温度特性のバラツキのオフセット補正およびゲイン補正を行わせるに際して、各画素の構成上からくる出力特性のバラツキの影響を受けることなく、その補正を適正に行わせることができるようになる。

【図面の簡単な説明】

【図1】本発明によるイメージセンサに用いられる1画素分の光センサ回路を示す電気回路図である。

【図2】その光センサ回路における各部信号のタイムチャートである。

【図3】その光センサ回路のセンサ電流に対するセンサ信号の出力特性を示す図である

【図4】本発明によるイメージセンサの基本的な構成例を示すブロック構成図である。

【図5】そのイメージセンサにおける各部信号のタイムチャートである。

【図6】本発明によるイメージセンサの出力補正装置における各画素の出力特性のバラツキを補正するための構成例を示すブロック構成図である。

10 【図7】その構成例における出力補正回路の処理のフローを示す図である。

【図8】イメージセンサにおける各画素の構成上からくるセンサ信号の出力特性のバラツキ状態の一例を示す特性図である。

【図9】図8に示す出力特性をもった各画素のセンサ信号をオフセット補正した結果を示す特性図である。

【図10】図8に示す出力特性をもった各画素のセンサ信号をオフセット補正およびゲイン補正した結果を示す特性図である。

20 【図11】光センサの温度による出力特性の変化状態を示すセンサ電流に対するセンサ出力の特性図である。

【図12】光センサの温度による出力特性の変化状態を示す温度に対するセンサ出力の特性図である。

【図13】本発明によるイメージセンサの出力補正装置における各画素の温度特性のバラツキを補正するための構成例を示すブロック構成図である。

【図14】その構成例における出力補正回路の処理のフローを示す図である。

30 【図15】イメージセンサにおける各画素の温度変化によるセンサ信号の出力特性のバラツキ状態の一例を示す特性図である。

【図16】図15に示す出力特性をもった各画素のセンサ信号を温度によるオフセット補正した結果を示す特性図である。

【図17】図15に示す出力特性をもった各画素のセンサ信号を温度によるオフセット補正およびゲイン補正した結果を示す特性図である。

40 【図18】温度によるオフセットのないセンサ信号の出力特性と、温度によるオフセットの影響を受けたときのセンサ信号の出力特性とを示す特性図である。

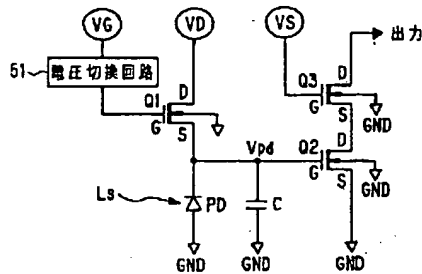
【図19】本発明によるイメージセンサの出力補正装置における各画素の出力特性のバラツキおよび温度特性のバラツキを補正する際の処理のフローの一例を示す図である。

【図20】本発明によるイメージセンサの出力補正装置における各画素の出力特性のバラツキおよび温度特性のバラツキを補正する際の処理のフローの他の例を示す図である。

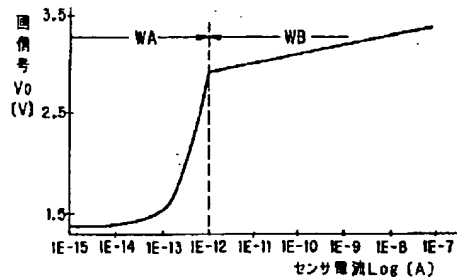
【符号の説明】

- 8 ECU
- 9 AD変換器
- 10 メモリ
- 11 出力補正回路
- 111 オフセット補正部
- 112 ゲイン補正部
- 12 温度センサ

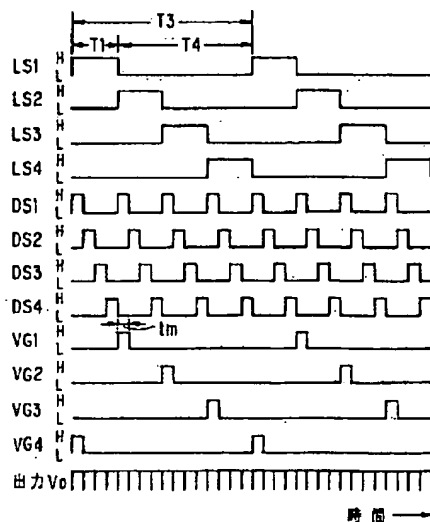
【図1】



【図3】

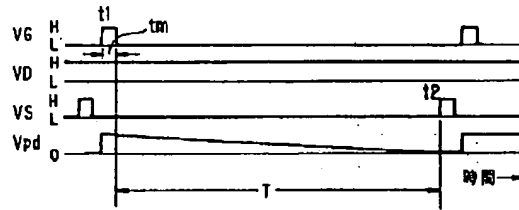


【図5】

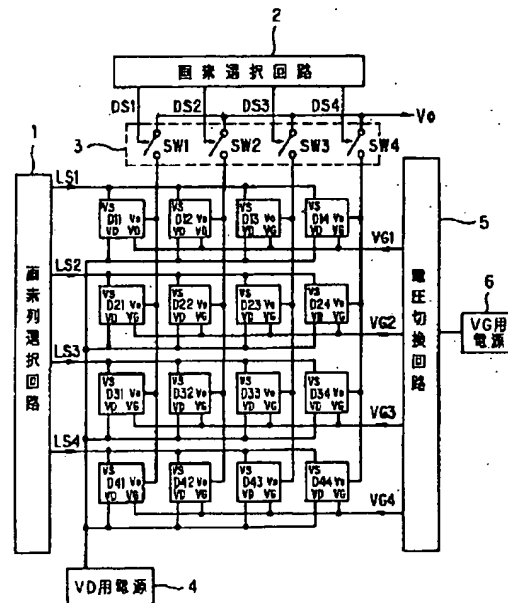


- * 13 AD変換器
- 14 メモリ
- 15 出力補正回路
- 151 オフセット補正部
- 152 ゲイン補正部
- WA 非対数応答領域
- * WB 対数応答領域

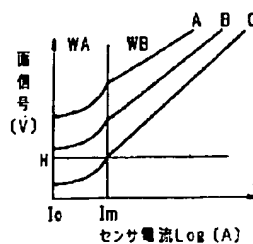
【図2】



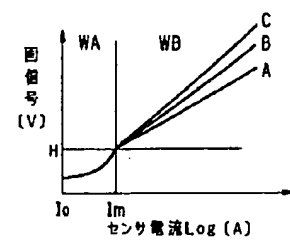
【図4】



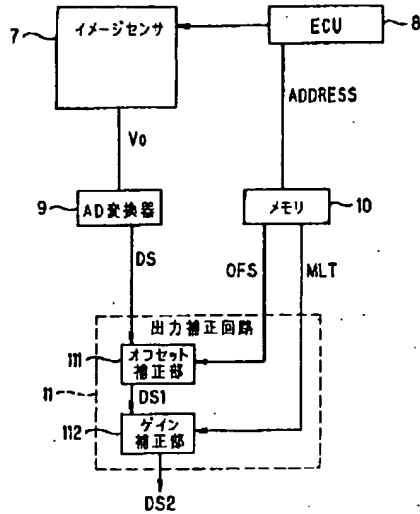
【図8】



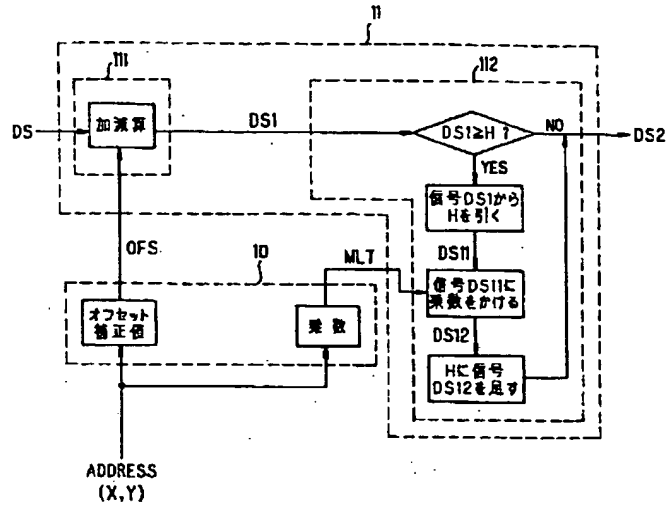
【図9】



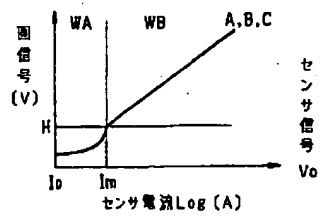
【図6】



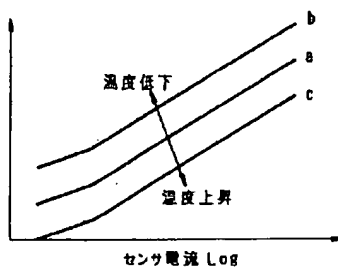
【図7】



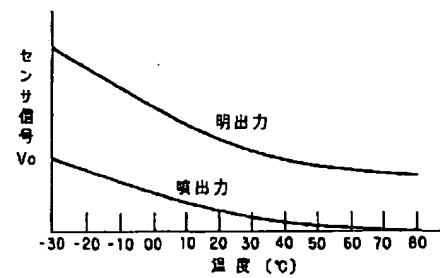
【図10】



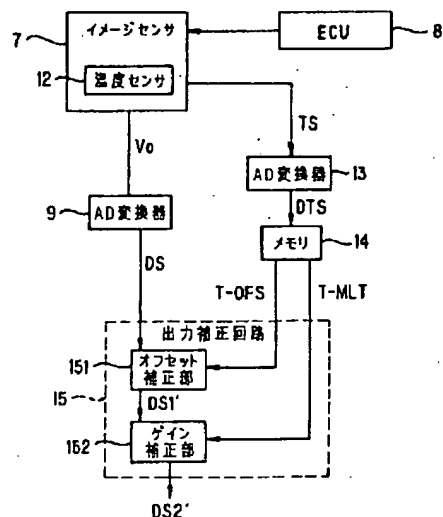
【図11】



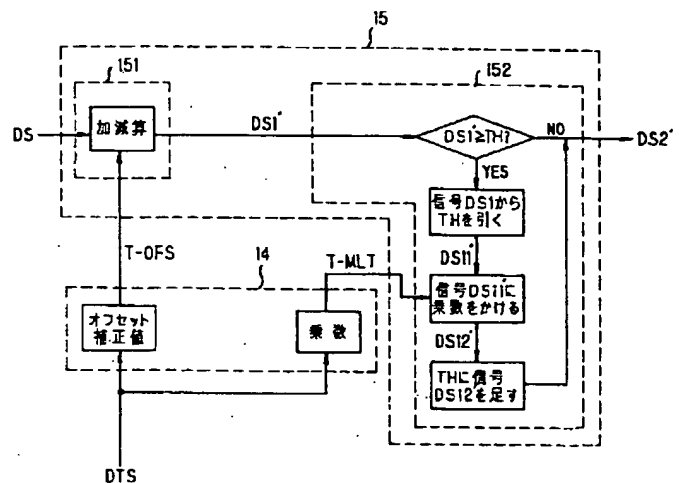
【図12】



【図13】



【図14】



【图 18】

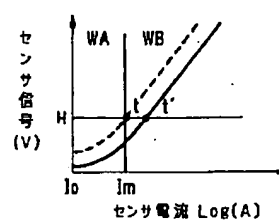


Figure 1 is a block diagram of a signal processing system. The system takes an input signal **DS** and produces an output signal **DS13**. The processing is organized into several functional blocks and a feedback loop.

- Block 151 (加減算):** Receives the input **DS** and outputs **DS11**.
- Block 16 (出力特性のバラツキの補正ブロック):** Receives **ADDRESS (X, Y)** and **DS11** as inputs. Its output is fed into block 152.
- Block 14 (オフセット補正値):** Receives **DTS** as input. Its output is fed into block 151 and block 17.
- Block 17 (乗数):** Receives the output from block 14 and the output from block 152. Its output is fed back into block 14.
- Block 152 (Loop):** A dashed box containing a decision diamond and two parallel processing paths.
 - Decision Diamond:** Checks the condition $DS12 \leq TH$.
 - YES:** Leads to a block that subtracts the **TH** signal from **DS12** (THから信号 **DS12** を引く), resulting in **信号 DS12'**. This signal is then used to calculate a gain factor (乗数をかける), producing **信号 DS12''**. Finally, the **TH** signal is subtracted from **DS12''** (THから信号 **DS12''** を引く), and the result is fed back to the decision diamond.
 - NO:** Leads directly to the output **DS13**.

Additional labels in the diagram include **T-OFS** (between blocks 151 and 14) and **T-MLT** (between blocks 16 and 17).

```

graph TD
    DS[DS] --> 111[加減算]
    111 -- DS21 --> 17[温度特性の  
パラツキの  
補正ブロック]
    17 -- DS22 --> 112{DS22 ≤ H?}
    112 -- YES --> 113[Hから信号  
DS22を引く]
    113 -- 信号  
DS22' --> 114[信号DS22'に  
乗数をかける]
    114 -- 信号  
DS22'' --> 115[Hから信号  
DS22''を引く]
    115 --> DS23[DS23]
    112 -- NO --> DS23
    DS23 --> 111
    111 -- OFS --> 10[オフセット  
補正値]
    10 --> 114
    114 -- MLT --> 115
    ADDRESS[ADDRESS  
(X, Y)] --> 16[16]
    16 --> 17
  
```

フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 0 1 L 27/146		H 0 1 L 27/14	A
(72)発明者 古川 誠		Fターム(参考)	2G065 AA11 AB04 BA06 BA09 BA34
埼玉県狭山市新狭山1丁目10番地1	ホン		BC10 BC13 BE08 CA21 DA05
ダエンジニアリング株式会社内			DA18
			4M118 AA02 AA05 AB01 BA14 CA02
			DD12 DD20 FA06 FA42
			5C024 CX27 CX44 GY31 HX18

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.